

BUNDESREPUBLIK DEUTSCHLAND

PCT EP03/08081

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 14 NOV 2003

WIPO

PCT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 00 380.0

Anmeldetag: 07. Januar 2003

Anmelder/Inhaber: PACT XPP Technologies AG, München/DE

Bezeichnung: Logikschaltkreisanordnung

IPC: G 06 F 9/22

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. August 2003
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

CERTIFIED COPY OF
PRIORITY DOCUMENT

Stremme



Akte: PACT40

Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG
Muthmannstraße 1
5 D-80939 München

Vertreter: Patentanwalt
Claus Peter Pietruk
Heinrich-Lilienfein-Weg 5
10 D-76229 Karlsruhe
Vertreter-Nr. 321 605

Titel: Logikschaltkreisanordnung

15 Beschreibung

Die vorliegende Erfindung das oberbegrifflich Beanspruchte
20 und befaßt sich somit mit konfigurierbaren Logikzellenfel-
dern.

Logikzellenfelder sind per se bekannt. Verwiesen wird auf
die früheren Schutzrechtsanmeldungen des Anmelders betref-
25 fend konfigurierbare Bausteine etc..

Unter einer rekonfigurierbaren Architektur werden vorliegend
insbesondere Bausteine (VPU) mit wiederholt konfigurierbarer
Funktion und/oder Vernetzung verstanden, insbesondere inte-
30 grierte Bausteine mit einer Mehrzahl von ein- oder mehrdi-

Akte: PACT40

mensional angeordneten arithmetischen und/oder logischen und/oder analogen und/oder speichernden Baugruppen, die direkt oder durch ein Bussystem miteinander verbunden sind.

- 5 Zur Gattung dieser Bausteine zählen insbesondere systolische Arrays, neuronale Netze, Mehrprozessor Systeme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen, Vernetzungs- und Netzwerkbausteine wie z.B. Crossbar-Schalter, ebenso wie bekannte Bausteine der Gattung FPGA, DPGA, XPU-
10 TER, etc.. Hingewiesen wird insbesondere in diesem Zusammenhang auf die folgenden Schutzrechte desselben Anmelders: P 44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2, DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 044.6-53, DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9,
15 PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7, DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516, EP 01 102 674.7, DE 196 51 075, DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 728.9, DE 197 07 872.2, DE 101 39 170.6, DE 199 26 538.0,
20 DE 101 42 904.5, DE 101 10 530.4. Diese und andere Schutzrechtsanmeldungen des Anmelders sind hiermit zu Offenbarungszwecken vollumfänglich eingegliedert.

- Die Verwendung von Logikschaltkreisanordnungen mit konfigurierbaren Logikzellenfeldern hat in vielen Bereichen der Datenverarbeitung massive Vorteile. Mit den bekannten Logikzellenfeldern können eine Vielzahl von Anwendungen schnell durchgeführt werden und zwar auf eine typisch energetisch sehr günstige Weise, also mit im Vergleich zu herkömmlichen Bausteinen wie FPGA's, DSP's, CPU's usw. sehr ge-
30

Akte: PACT40

ringen Energiebedarf. Dieser Vorteil macht die Logikschaltkreisanordnung prädestiniert für mobile Anwendungen, in denen die Laufzeit eines energiespeichernden Akkumulators, einer Batterie oder die aus Solarzellen verfügbare Leistung effizient ohne Beeinträchtigung der Datenverarbeitungseigenschaften ausgenutzt werden soll. Die herkömmlichen Logikschaltkreisanordnungen, wie sie aus den früheren Anmeldungen des Anmelders bekannt sind, sind prinzipiell gut für diese Zwecke geeignet; es hat sich jedoch gezeigt, daß für viele Anwendungen insbesondere auf dem Massenkonumentenmarkt die verfügbare Leistung derzeit noch nicht sinnvoll nutzbar ist, während eine Ermäßigung von Schaltkreispreisen wünschenswert wäre.

15 Die Aufgabe der Erfindung besteht darin, Neues für die gewerbliche Anwendung bereitzustellen.

Die Lösung dieser Aufgabe wird in unabhängiger Form beansprucht. Bevorzugte Ausführungsformen finden sich in den Unteransprüchen.

Die vorliegende Erfindung schlägt somit in einem ersten Grundgedanken einen Logikschaltkreisanordnung mit einem konfigurierbaren Logikzellenfeld und einem Logikzellenfeldkonfigurationsvorgabemittel vor, bei welchem vorgesehen ist, daß das Logikzellenfeldkonfigurationsvorgabemittel für den Konfigurationsdatendirekttransfer aus einem externen Speicher ausgebildet ist.

Akte: PACT40

Ein wesentlicher erster Aspekt besteht somit in der Erkenntnis, daß durch den direkten Transfer aus einem externen Speicher in die Logikzellen die Schaltkreisanordnung wesentlich vereinfacht werden kann, ohne daß, gerade bei kleinen Logikzellenfeldern mit einer vergleichsweise geringen Anzahl unabhängiger Logikzellen, signifikante Performance-Beeinträchtigungen beobachtet werden müssen.

Die Erfindung ist anwendbar, wenn das komplette Logikzellenfeld simultan rekonfiguriert werden soll, aber auch, wenn einzelne Logikzellenfelder oder Blöcke derselben umkonfiguriert werden müssen, ohne den Betrieb weiterlaufender Zellen zu beeinträchtigen.

Bevorzugt ist es, wenn die Logikzellen grobgranular ausgebildet sind, so daß nur geringe Informationsmengen für die Konfiguration einer einzelnen Logikzelle übertragen werden müssen.

Zugleich kann in per se bekannte Weise eine feingranulare Logikzellensteuerung implementiert sein.

Es ist bevorzugt, den Logikzellen eine Registeranordnung zur Zwischenspeicherung zuzuordnen. Dies kann ausgenutzt werden, um innerhalb einer Logikzelle eine sequenzerartige Struktur zu bilden, Konfigurationen vorab zu speichern, eine Wave-Konfiguration zu ermöglichen usw. In einer besonders bevorzugten Ausführungsform ist zwischen Register und dem eigentlichen zu konfigurierenden Element der Logikzelle ein Latchglied gesetzt.

Akte: PACT40

Das Logikzellenfeld wird multidimensional aufgebaut sein. Dazu können mehrere zweidimensionale Lagen übereinander angeordnet sein. Alternativ und/oder zusätzlich ist es möglich, ein multidimensionales Feld durch Vernetzung nicht unmittelbar geometrisch benachbarter Zellen miteinander zu realisieren, so daß die Anzahl der durch direkte Leitungen erreichbaren, logisch benachbarten Zellen größer wird als in einer eindimensionalen linearen Verkettung.

Das Konfigurationsvorgabemittel kann dazu ausgebildet sein, Konfigurationsdaten aus einem RAM und/oder ROM auszulesen. Diese Schaltkreise zur Speicherung von Daten und/oder Konfigurationen können insbesondere gemeinsam mit der Logikzellenanordnung zu einem SOC (system on a chip) integriert sein.

Besonders bevorzugt ist, wenn die Logikzellenfeldkonfigurationsvorgabemittel auf eine einer wählbaren von mehreren Speicherbänken zugreifen kann. Dies erlaubt durch paging einen sehr schnellen Wechsel von zu ladenden Konfigurationen.

Der Konfigurationsdatentransfer kann sich nach Standard-DMA-Protokollen richten, was die Anbindung an bestehende Systeme wesentlich erleichtert.

Bevorzugt wird überprüft, ob die aus dem Speicher geholten Daten tatsächlich Konfigurationsdaten darstellen. Dies ist unabhängig von der direkten Transferierung der Konfigurationsdaten über die verifizierte Einheit vorteilhaft, also

Akte: PACT40

auch bei solchen XPP-Schaltkreisen, die über eine FILMO- beziehungsweise CT-artige Struktur herkömmlicher Art verfügen. Die Überprüfung auf das Vorliegen einer Konfiguration kann auch in anderen Fällen, etwa dann vorteilhaft sein, wenn IO-
5 Einheiten umfassende Sequenzer realisiert werden, wie in anderen hiermit durch Bezugnahme eingegliederten Anmeldungen des vorliegenden Anmelders beschrieben.

Bevorzugt ist es, wenn sequentiell versucht wird, die Zellen, die zu konfigurieren sind, neu zu konfigurieren. Zeigt
10 dabei eine einzelne Zelle an, daß sie noch nicht rekonfigurierbar ist, so kann einfach gewartet werden, bis die jeweilige Zelle rekonfigurierbar ist. Auf diese Art und Weise kann ein - bei sehr großen Feldern vorteilhaftes und bewährtes - FILMO-Verfahren (FILMO = first in last modified out)
15 mit dem entsprechenden Verwaltungs-Overhead vermieden werden.

Wenn eine sequentielle Konfiguration auf die Konfigurierbarkeit einer zu konfigurierenden Zelle wartet, ist es bevorzugt, einen Auszeitgeber oder Wachhunds Schaltkreis vorzusehen, um die Wartedauer zu begrenzen. Auf diese Weise wird
20 vermieden, daß Deadlock-Situationen zu einem Gesamtanhalten des Systems führen können. Der Auszeitgeber kann eine Rekonfiguration erzwingen und/oder ein Meldesignal an eine Steuer- beziehungsweise Dritteinheit wie einen Mikrokontroller absetzen.
25

Akte: PACT40

Die Logikzellenblockrekonfiguration kann auch erst dann begonnen werden, wenn feststeht, daß alle beteiligten, zu rekonfigurierenden Logikzellen rekonfigurierbar sind.

- 5 Es sei erwähnt, daß im Logikzellenfeld gleichfalls eine Direktspeicherzugriffseinheit vorgesehen sein kann, mit der auf dieselben und/oder andere Speichereinheiten und Stellen zugegriffen werden kann, die auch im Zugriff der CTDMA (Logikzellenfeldkonfigurationsvorgabemittel der Erfindung) stehen.
- 10 Die Implikation einer Codeselbstmodifikationsrealisierungsmöglichkeit hierdurch sei peripher erwähnt, wobei Unterbindungsmöglichkeiten hierfür nicht ausgeschlossen werden sollen.
- 15 Es kann weiter vorgesehen sein, daß mit der Direktspeicherzugriffseinheit, die dem Logikzellenfeld zugeordnet ist, auch ein Ansteuer- oder Rückmeldekanal vorgesehen ist.

Die Erfindung wird im Folgenden nur beispielsweise anhand der Zeichnung beschrieben. In dieser zeigt:

- 20 Fig.1 eine Logikschaltkreisanordnung gemäß der vorliegenden Erfindung mit zugehörigen, zum Teil externen Komponenten.
- 25 Fig.2 Details zu Fig. 1.

Nach Fig. 1 umfaßt eine allgemein mit 1 bezeichnete Logikschaltkreisanordnung ein Logikzellenfeld 2 und ein Logikzellenfeldkonfigurationsvorgabemittel 3, wobei weiter darge-

30

Akte: PACT40

stellt sind ein herkömmliches Bussystem 4, bezeichnet als Multilayer-AMBA, an das verschiedene Einheiten 5 wie ein Mikrokontroller 5a und eine IO-Einheit 5b in herkömmlicher Weise sowie ein RAM angeschlossen sind.

5

Das Logikzellenfeld 2 besteht im vorliegenden Beispiel wie bevorzugt möglich, aber nicht zwingend erforderlich, aus einer Reihe übereinander angeordneter zweidimensionaler Felder 2a, 2b, 2c, 2d von Logikzellen mit per se bekannten grobgranularkonfigurierbaren arithmetisch-logischen Einheiten

10

(ALU), die wie bevorzugt möglich, um bestimmte Funktionalitäten wie im Stand der Technik, die durch den Anmelder geschaffen wurde, per se bekannt, zu EALU-Einheiten erweitert sind und in denen eine feingranulare Steuerung für die interne Kommunikation von Logikzellen untereinander und/oder externen Einheiten zugeordnet ist, wie per se bekannt. Verwiesen wird für die Einzelheiten des Logikzellenfeldes auf die verschiedenen Veröffentlichungen und Anmeldungen zur XPP-Technologie, wobei darauf hingewiesen sei, daß nicht alle der vorbekannten Techniken und/oder offenbarten Zellen wie Sequenzer-Zellen, d.h. Zellen mit Sequenzer-Fähigkeit, IO-Zellen, RAM-Zellen, FPGA's-Zellen usw. in einem gegebenen Ausführungsbeispiel implementiert sein werden. In dem hier

15

20

dargestellten bevorzugten Ausführungsbeispiel sind lediglich untereinander identische Zellen mit je einem EALU-Kern verbunden, die einen besonders einfachen Aufbau ermöglichen, was zur erwünschten Kostensenkung beiträgt.

25

Im dargestellten Ausführungsbeispiel sind die Zellen mit einer AMBA-Bridge für den Buszugriff verbunden und es kann

30

Akte: PACT40

weiter eine DMA-Schaltkreisanordnung vorhanden sein, die zum Wegschreiben von Daten aus dem Logikzellenfeld auf den Bus und/oder zum Einschreiben von Daten vom Bus in dieses bestimmt ist und bevorzugt von einer anderen Einheit kontrollierbar ist, um so das XPP-Feld kleiner halten zu können. Obwohl wie dargestellt; diese bevorzugt von der CTDMA separate DMA-Einheit fremdsteuerbar, d.h. angesteuert von außerhalb des Logikzellenfeldes ist, kann eine geringe Zahl oder ein einzelner Rückmeldekanal aus dem Logikzellenfeld zur DMA geführt sein, um je nach Semantik bestimmte Folgen auslösen zu können und so die Gesamtfunktionalität bei geringem baulichen Aufwand zu erhöhen.

Die Zellen können untereinander in gewohnter Weise miteinander kommunizieren und weisen die im strichpunktiert umrissenen Feld 1 gezeigte Konfigurationsspeicheranordnung bestehend aus einem Register und einem Latchglied auf, wobei ein Eingang des Registers verbunden ist mit der DMA-Einheit 3. Es sind weiter Möglichkeiten zur Rückmeldung an die DMA-Einheit 3, veranschaulicht durch Pfeil 2aI-1, zum Erzwingen einer Konfigurierbarkeit 2aI-2 vorgesehen. Vom Register läuft eine Leitung für die Daten 2aI-3 zum Latchglied und das Latchglied kann über einen Kanal 2aI-4 dem Register anzeigen, wenn weitere Daten in das Latchglied über den Kanal 2aI-3 eingebbar sind. Von der EALU führt weiter ein Pfad 2aI-5 zum Latchglied.

Die CTDMA 3 ist als Direktspeicher-Zugriffsmittel 3 ausgebildet, das über den Bus 4 Daten vom RAM 6 empfängt. Die DMA-Einheit 3 ist im dargestellten Ausführungsbeispiel so

Akte: PACT40

ausgebildet, daß es, wie bevorzugt, möglich ist, ein DMA-Protokoll nach Motorola zur Mikroprozessorunterstützung 5a zu fahren; die Implementierung anderer Busprotokolle ist jedoch problemfrei möglich. Das Businterface ist so gewählt, daß in der nachfolgenden Tabelle dargestellten Signale die aufgeführte Wirkung besitzen. Weiter ist gegebenenfalls über den Bus ein Zugriff auf die Eingabe- / Ausgabeeinheit 5b möglich.

| Signal | Richtung | Beschreibung | Interface |
|---------|----------|--|--------------|
| CLK | IN | Clock | asynchronous |
| RESET | IN | Reset | asynchronous |
| IO_DIN | IN | 32-Bit Datenbus von Microcontroller | registered |
| IO_SEL | IN | Selektiert CTDMA für Buszugriffe | asynchronous |
| IO_ADR | IN | Adresse des Zielregisters | asynchronous |
| RAM_DIN | IN | 32-Bit Datenbus von RAM, kann mit IO_DIN gemultiplext werden | registered |
| RAM_ACK | IN | RAM bestätigt Daten auf RAM_DIN | registered |
| BG | IN | Bus Granted von Busarbiter | registered |
| BOFF | IN | Busfreigabe wird von Busmaster angefordert | registered |
| FAIL | OUT | 31-Bit Offset des rejecteten PA-Kommandos | registered |
| FINISH | OUT | EOT Interrupt | registered |

Akte: PACT40

| | | | |
|---------|-----|---|-----------------|
| | | | red |
| RAM_ADR | OUT | 32-Bit RAM Adresse | registe- red |
| RAM_RDY | OUT | RDY für RAM-Zugriffe, wird durch RAM_ACK bestätigt | registe- red |
| BR | OUT | CTDMA fordert Bus an, wird durch BG bestätigt | registe- red |
| BURST | OUT | BURST-Zugriff auf RAM | registe- red |

Die DMA-Einheit 3 kann somit eine Busanforderung auf Leitung 3a durch das Signal 3b anzeigen und den Bus nach Eintreffen eines Signales „BG“ ansteuern, das den Bus der in der Tabelle als CDTMA bezeichnete DMA-Einheit 3 freigibt. Im Wechselschrittzug kann eine Busrückforderung durch den Busmaster durch das Signal b-off erfolgen und es wird dann nach Eintreffen von b-off die Speicherpipeline abgearbeitet, ohne daß neue Adressen generiert werden. Es kann dann „BR“ für einen Takt zurückgenommen werden, worauf einen Takt später „BR“ wieder gesetzt wird, sofern der Bustransfer zuvor nicht abgeschlossen war.

Es ist weiter ersichtlich, daß BURST-Zugriffe möglich sind, wobei das BURST-Signal ab dem Zugriff auf die zweite Speicherstelle nach Eintreffen von „BG“ setzbar ist. Damit wird ein linearer Speicherzugriff für den SDRAM-Kontroller angezeigt. Weiter ist eine Speicherpipelinlänge in einem Register „Pipeline“ einstellbar, wobei zunächst von der CTDMA-Einheit 3 die gesamte Pipeline gefüllt wird, bevor für jede gesendete Adresse ein Akt erwartet wird, bevor eine weitere Adresse abgesendet wird.

Akte: PACT40

Die über die Leitung 3a mit dem Bussystem 4 und dem RAM 6 verbundene DMA-Einheit 3 transferiert nun über Leitung 3b Konfigurationsdaten in das Logikkzellenfeld 2. Die DMA-Einheit 3 ist dabei dazu ausgebildet, direkt in die Register zu schreiben.

Es ist jedoch wie bevorzugt möglich im bzw. am Konfigurationsdatenweg 3b zwischen CTDMA und Logikzellenfeld eine Kontrollinstanz 7 vorgesehen, die dazu ausgebildet ist, anhand von Prüfsummenvergleichen oder dergleichen zu überprüfen, ob es sich bei den in das Logikzellenfeld zu transferierenden vermeintlichen Konfigurationsdaten tatsächlich um solche handelt oder ob aus einem RAM-Bereich auf Daten zugegriffen wurde, die keine Konfigurationsdaten darstellen und daher nicht als solche behandelt werden dürfen; diese Art von Fehlzugriffen kann insbesondere dann auftreten, wenn der Programmierer in der Anwendung und/oder eines Betriebssystems beziehungsweise Treiberteils für dasselbe fehlerhaft vorgegangen ist; die Prüfungseinheit 7 ist dazu ausgebildet, den Transfer nur vermeintlicher Konfigurationsdaten zu unterbrechen, sobald festgestellt wird, daß es sich bei den vermeintlichen Konfigurationsdaten nicht um tatsächliche Konfigurationsdaten handelt. Weiter ist die Einheit 7 im dargestellten Ausführungsbeispiel wie bevorzugt möglich dazu ausgebildet, eine Warnung und/oder einen Interrupt zu erzeugen, wenn versucht wird, Daten in das Logikzellenfeld hineinzukonfigurieren, die keine Konfigurationsdaten darstellen.

Akte: PACT40

Die DMA-Einheit 3 ist weiter so aufgebaut, daß dann, wenn alle oder ein Teil der Logikzellen des Logikzellenfeldes zu rekonfigurieren sind, sequentiell nacheinander alle dieser Zellen konfiguriert werden. Sobald eine Zelle eine Umkonfiguration zurückweist, was durch das Signal ACK/REJ anzeigbar ist, wird ein Wartezyklus begonnen, der sich fortsetzt, bis jene Zelle, die ihre Rekonfigurationsnichtbereitschaft angezeigt hat, rekonfigurierbar ist. Auf diese Weise wird sichergestellt, daß eine Rekonfiguration von Einheiten in jener Reihenfolge erfolgt, die erforderlich ist. Es wurde gefunden, daß durch eine solche Implementierung bei vergleichsweise kleinen Feldern wie 4x4-Logikzellenfeldern gegenüber herkömmlichen FILMO-Verwaltungsanordnungen und/oder -protokollen keine signifikanten Leistungs Nachteile zu erwarten sind.

Der Anordnung ist weiter eine Wachhund (Watchdog-) -Einheit 8 zugeordnet, die überwacht, daß eine zu rekonfigurierende Zelle nicht über Gebühr lange die Anzeige der Rekonfigurationsbereitschaft hinauszögert beziehungsweise die sicherstellt, daß die Rekonfigurationsnichtbereitschaftsanzeige nicht über Gebühr lange andauert. Dies kann insbesondere dann der Fall sein, wenn es zu Problemen bei der Verarbeitung von Daten gekommen ist, sei es durch Programmierfehler und/oder durch Ausbleiben von Daten etc. Die Einheit 8 ist dazu ausgebildet, bei Überschreiten einer zulässigen Bedingung, wie einer maximal zulässigen Wartezeit eine Rekonfigurierbarkeit zu erzwingen.

Akte: PACT40

Detaillierter betrachtet, verwendet die CTDMA eine Pipeline zum Einlesen der Daten aus dem RAM. Die interne Länge der Pipeline ist bevorzugt fest, die Anzahl der Pipeline-Stufen zum/vom RAM kann variabel mittels des Pipeline-Registers eingestellt werden. Die Pipeline ist dabei bevorzugt wie folgt aufgebaut:

| Stage | Beschreibung | Note |
|-------|----------------------|--------------------------|
| 1 | Offset Counter | |
| 2 | Address Out Register | |
| 3+n | RAM | Länge variabel (n) |
| 4+n | Data In Register | last/partial Generierung |
| 5+n | PAC_OUT Register | |
| 6+n | PAE | |
| 7+n | ACKREJ Register | |

- 10 Es kann ein Register vorgesehen sein, daß so aufgebaut ist, daß die folgenden Funktionen implementierbar sind:

| Adresse | Register | R/W | Beschreibung | Bemerkung |
|---------|----------|-----|---|-----------|
| b"00" | BASE | W | Basis Adresse der PA-Kommandos. Durch Beschreiben von BASE wird der CTDMA-Transfer gestartet. | |
| b"01" | OFFSET | W | Offset des ersten zu übertragenden PA- | |

Akte: PACT40

| | | | Kommandos | |
|-------|--------|---|------------------------------------|---|
| b"01" | FAIL | R | Offset des rejecteten PA-Kommandos | FAIL ist ein Bus, Adress-mapping wird empfohlen |
| b"10" | LENGTH | W | Länge des Blocks von PA-Kommandos | |
| b"11" | PIPE | W | Länge der Speicherpipeli-ne +1 | |

Der CTDMA-Transfer wird hier durch Beschreiben des BASE-Registers gestartet. Daher wird BASE als letztes der Register beschrieben. Durch Beschreiben der Adresse 0x1F durch
5 einen PA-Befehl wird hier der letzte durchgeführte PAC-Transfer nochmals mit gesetzten LAST wiederholt. Danach wird LAST automatisch gelöscht. Durch Beschreiben der Adresse 0x1E durch einen PA-Befehl wird PARTIAL gesetzt, wenn das Datenbit 0 b'1 ist bzw. gelöscht, wenn das Datenbit 0 b'0
10 ist.

Weiter ist es möglich, ein PA-REJECT zu generieren, worauf alle sich in der CTDMA Pipeline befindenden PA-Kommandos gelöscht werden und insbesondere ausstehende Speicherzugriffe
15 ausgeführt werden können, jedoch nicht mehr an die PAC weitergeleitet werden. In das Register FAIL wird dann der Offset des rejecteten PA-Kommandos zurückgegeben, also jenes PA-Kommandos, bei dem das REJECT auftrat. Bit 0 wird dazu auf b'1 gesetzt, um einen REJECT anzuzeigen. Ein Interrupt
20 wird für einen Takt ausgelöst.

Akte: PACT40

Bei Auftreten eines die Rekonfigurationsnichtbereitschaft anzeigenden REJ wird die nächste PAE nicht mehr adressiert. Hierzu ist notwendig, daß nach Senden des letzten PA-Kommandos einer PAE, dieses nochmals mit LAST wiederholt wird.

Es wird sich dann sinnvollerweise folgendes Verhalten ergeben:

| T | PAC_OUT | PAE | ACKREJ | Bemerkung |
|----|--------------|----------------|----------------|-------------------------------|
| t | Paa | | | Inkrement FAIL |
| t+ | Paa | Paa (ACK) | | Inkrement FAIL |
| 1 | | | | |
| t+ | Paa_last | Paa (ACK) | Paa (ACK) | Inkrement FAIL |
| 2 | | | | |
| t+ | Pab | Paa_last (ACK) | Paa (ACK) | Inkrement FAIL |
| 3 | | | | |
| t+ | PAb_last | PAb (REJ) | Paa_last (ACK) | Inkrement FAIL |
| 4 | | | | |
| t+ | Pac (locked) | PAb_last (REJ) | PAb (REJ) | PAC_OUT gesperrt |
| 5 | | | | |
| t+ | Pac (locked) | Pac (locked) | PAb_last (REJ) | PAC_OUT gesperrt & CTDMA FAIL |
| 6 | | | | |

Durch den zusätzlichen LAST-Zyklus wird dabei nur ein Übertragungstakt pro PAE mehr benötigt als Register adressiert werden.

Akte: PACT40

Weiter kann, in detailliertere Betrachtung, die Leitung 3b als Prozessorfeld (PA-) Schnittstelle so aufgebaut sein, daß neben den Daten die folgenden Signale mit der angegebenen Semantik übertragbar sind:

5

| PA Adresse | PA Daten-bit 0 | Beschreibung |
|------------|----------------|--|
| 0x1F | - | Setzt LAST im nächsten Zugriff |
| 0x1E | 0 | Löscht PARTIAL für alle nachfolgenden Zugriffe |
| 0x1E | 1 | Setzt PARTIAL für alle nachfolgenden Zugriffe |

Es sei erwähnt, daß diese Tabelle wiederum nur beispielhaft ist.

- 10 Es wurde somit offenbart, wie durch die als DMA realisierte CT (daher CTDMA) ein Block von Konfigurationsdaten aus einem Speicher in das PA transferiert werden kann und es wird wie vorstehend beschrieben erreicht, daß Speicherzugriffe synchronisiert verlaufen und Pipelining zum Speicher mit variabler
- 15 Tiefeneinstellung unterstützt werden kann. Nur indem auf ACK/REJ überwacht wird, und bei auftretendem REJ keine weiteren PAEs konfiguriert werden, kann bereits die Konfigurationsreihenfolge sichergestellt werden und es können sämtliche FILMO Anforderungen unterstützt werden.

Akte: PACT40

Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG

Muthmannstraße 1

5 D-80939 München

Vertreter: Patentanwalt

Claus Peter Pietruk

Heinrich-Lilienfein-Weg 5

10 D-76229 Karlsruhe

Vertreter-Nr. 321 605

Titel: Logikschaltkreisanordnung

15

Patentansprüche

20

1. Logikschaltkreisanordnung mit einem konfigurierbaren Logikzellenfeld und einem Logikzellenfeldkonfigurationsvorgabemittel, dadurch gekennzeichnet, daß das Logikzellenfeldkonfigurationsvorgabemittel für den Konfigurationsdatendirekttransfer aus einem externen Speicher ausgebildet ist.

25

2. Logikschaltkreisanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß das Logikzellenfeld zur Laufzeit rekonfigurierbar ist.

Akte: PACT40

3. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mehrere, von einander unabhängig konfigurierbare Einzellogikzellen und/oder Logikzellenblöcke existieren.
5
4. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß alle oder zumindest einige der Logikzellen grobgranular konfigurierbar sind.
10
5. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zumindest einige der Logikzellen eine feingranulare Steuerungsgestaltung zugeordnet ist.
15
6. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zumindest einigen, bevorzugt allen Logikzellen eine Registeranordnung zur Zwischenspeicherung von Konfigurationen zugeordnet ist.
20
7. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Registeranordnung eines oder mehrerer Register und ein Latchglied zwischen Registerausgang und datenverarbeitender Logikbeschaltung aufweist.
25
8. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Logikzellenfeld multidimensional aufgebaut ist.
30

Akte: PACT40

- 5 9. Logikschaltkreisanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß mehrere Lagen von zweidimensionalen angeordneten Logikzellenfeldern übereinander vorgesehen sind.
- 10 10. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein multidimensionales Feld unter Vernetzung nicht unmittelbar geometrisch benachbarter Zellen miteinander realisiert ist.
- 15 11. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Logikzellenfeldkonfigurationsvorgabemittel zum Transfer von Konfigurationsdaten aus einem RAM und/oder ROM insbesondere PROM, insbesondere EEPROM ausgebildet ist, insbesondere zum Transfer aus RAM- und/oder ROM-Schaltkreisen, die mit der Logikzellenanordnung zu einem SOC oder SOC-ähnlichen Schaltkreis zusammengefaßt sind.
- 20 12. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Logikzellenfeldkonfigurationsvorgabemittel und/oder die Anordnung für den Konfigurationsdatentransfer aus einer wählbaren von mehreren Speicherbänken ausgebildet ist.
- 25 13. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Logikzellenfeldkonfigurationsvorgabemittel dazu ausgebildet ist, einen

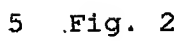
Akte: PACT40

Konfigurationsdatentransfer nach einem Standard-DMA-
Protokoll zu bewirken.

14. Logikschaltkreisanordnung nach einem dem vorhergehenden
5 Ansprüche, dadurch gekennzeichnet, daß eine Überprü-
fungsstufe, insbesondere zwischen den konfigurierbaren
Logikzellen und dem Logikzellenfeldkonfigurationsvorga-
bemittel, zur Überprüfung darauf vorgesehen ist, ob in
das Logikzellenfeld hinein zu transferierende vermeint-
10 liche Konfigurationen und/oder Teilkonfigurationen mit
zumindest hoher Wahrscheinlichkeit eine tatsächliche
Konfiguration darstellen.
15. Logikschaltkreisanordnung insbesondere nach einem der
15 vorhergehenden Ansprüche, worin für zumindest ein konfi-
gurierbares Logikzellenfeld wenigstens ein Logikzellen-
feldkonfigurationsvorgabemittel dazu ausgebildet ist,
die Konfiguration einer Vielzahl von zu konfigurierenden
Zellen sequentiell auszuführen und bei Signalisieren ei-
20 ner Rekonfigurationsnichtbereitschaft einer zu konfigu-
rierenden Zelle mit der weiteren Konfiguration zu war-
ten, bis die ihre Rekonfigurationsnichtbereitschaft an-
gezeigt habende Zelle rekonfigurierbar ist.
- 25 16. Logikschaltkreisanordnung nach einem der vorhergehenden
Ansprüche, dadurch gekennzeichnet, daß ein Auszeitgeber
zur Vorgabe einer maximal zulässigen Rekonfigurations-
nichtbereitschaftdauer und/oder zu einer dauerunabhängi-
gen Rekonfigurationsnichtbereitschaftbeendigung vorgese-
30 hen ist.

Akte: PACT40

17. Logikschaltkreisanordnung nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß der Auszeitgeber dazu ausgebildet ist, im Ansprechen auf das Erreichen einer Auszeit ein Meldesignal an eine Dritteinheit abzusetzen und/oder eine Rekonfiguration zu erzwingen.
18. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Anordnung dazu ausgebildet ist, eine Rekonfiguration eines Logikzellenblockes erst dann zu beginnen, wenn für alle zu rekonfigurierenden Logikzellen eine Rekonfigurationsbereitschaft feststeht und/oder festgestellt wurde.
19. Logikschaltkreisanordnung insbesondere nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Ein-Ausgabemittel im Logikzellenfeld zum Anschluß an eine Direkspeicherzugriffseinheit und/oder eine Busanordnung vorgesehen sind, die extern und/oder vom Logikzellenfeld aus steuerbar ist/sind.
20. Logikschaltkreisanordnung nach einem dem vorhergehenden Ansprüche, dadurch gekennzeichnet, daß vom Logikzellenfeld zumindest eine Ansteuer- und/oder Rückmeldekanal, insbesondere genau Ansteuer- und/oder Rückmeldekanal zur DMA-Einheit geführt ist.



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.